

(11)Publication number : 2001-346102  
(43)Date of publication of application : 14.12.2001

H04N 5/335  
H01L 27/146  
H03M 1/12

(72)Inventor : SAKURAGI KOSEI

The diagram illustrates a 4x4 matrix keypad circuit. It features a 4x4 grid of switches, each controlled by a row line (R1-R4) and a column line (C1-C4). The switches are connected to a common ground. The circuit is powered by a 5V supply and includes a 10k resistor network. The keypad is labeled "MATRIX KEYPAD".

## 2005/04/27

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-346102  
(P2001-346102A)

(43) 公開日 平成13年12月14日 (2001.12.14)

(51) Int. Cl. <sup>7</sup>	識別記号	FI	テーマコード(参考)
H04N 5/335		H04N 5/335	E 4M118 P 5C024 Z 5J022
H01L 27/146		H03M 1/12	A
H03M 1/12		H01L 27/14	A
審査請求 未請求 請求項の数26 OL (全15頁)			

(21) 出願番号 特願2000-166308(P2000-166308)

(22) 出願日 平成12年6月2日(2000.6.2)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 桜木 孝正

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

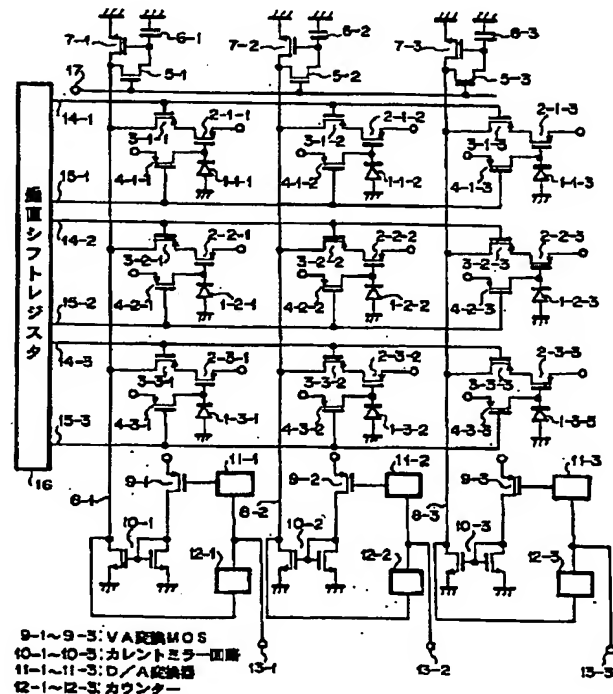
最終頁に続く

(54) 【発明の名称】 固体撮像装置、それを用いた固体撮像システム、及び信号転送装置

(57) 【要約】

【課題】 線型性の問題を改善しつつ、A/D変換を行う。

【解決手段】 光電変換手段と、前記光電変換手段で発生した信号を電流に変換して出力する第1のトランジスタと、所定の基準レベルを電流に変換して出力する第2のトランジスタと、第1のトランジスタからの電流値と、前記第2のトランジスタからの電流値とを比較する比較手段と、比較手段により比較結果に基づいて前記光電変換手段で発生した信号に対応するデジタル信号を出力するアナログ・デジタル変換手段と、を有する。



**【特許請求の範囲】**

【請求項 1】 光電変換手段と、前記光電変換手段で発生した信号を電流に変換して出力する第 1 のトランジスタと、

所定の基準レベルを電流に変換して出力する第 2 のトランジスタと、

前記第 1 のトランジスタからの電流値と、前記第 2 のトランジスタからの電流値とを比較する比較手段と、

前記比較手段により比較結果に基づいて前記光電変換手段で発生した信号に対応するデジタル信号を出力するアナログ・デジタル変換手段と、

を有することを特徴とする固体撮像装置。

【請求項 2】 請求項 1 に記載の固体撮像装置において、前記アナログ・デジタル変換手段は、計数動作を行うカウンタを含み、前記カウンタは、前記比較結果に基づいて制御されるとともに、カウンタから前記光電変換手段で発生した信号に対応するデジタル信号を出力することを特徴とする固体撮像装置。

【請求項 3】 請求項 1 又は請求項 2 に記載の固体撮像装置において、前記第 1 のトランジスタからの電流値と、前記第 2 のトランジスタからの電流値とを近づけるように前記第 1 のトランジスタ又は前記第 2 のトランジスタを制御する制御手段を有することを特徴とする固体撮像装置。

【請求項 4】 請求項 3 に記載の固体撮像装置において、前記制御手段は、前記所定の基準レベルを前記比較結果に基づいて変化させ、前記比較手段は、前記第 1 のトランジスタからの電流値と、前記第 2 のトランジスタからの電流値とが一致することを検出し、アナログ・デジタル変換手段は、前記検出結果に基づきデジタル信号を出力することを特徴とする固体撮像装置。

【請求項 5】 請求項 3 に記載の固体撮像装置において、前記制御手段は、前記第 1 のトランジスタの出力のレベルを前記比較結果に基づいて変化させ、前記比較手段は、前記第 1 のトランジスタからの電流値と、前記第 2 のトランジスタからの電流値が一致することを検出し、アナログ・デジタル変換手段は、前記検出結果に基づきデジタル信号を出力することを特徴とする固体撮像装置。

【請求項 6】 請求項 5 に記載の固体撮像装置において、前記トランジスタの主電極を制御することにより、前記出力のレベルを制御することを特徴とする固体撮像装置。

【請求項 7】 光電変換手段と前記光電変換手段で発生した信号を電流に変換して出力する第 1 のトランジスタを含む画素を水平方向及び垂直方向に複数配列するとともに、

垂直方向の一行毎の画素にそれぞれ接続された垂直出力線と、

所定の基準レベルを電流に変換して出力する第 2 のトランジスタと、

前記第 1 のトランジスタからの電流値と、前記第 2 のトランジスタからの電流値とを比較する比較手段と、

前記比較手段により比較結果に基づいて前記光電変換手段で発生した信号に対応するデジタル信号を出力するアナログ・デジタル変換手段とを有し、

前記第 2 のトランジスタ、前記比較手段及び前記アナログ・デジタル変換手段を一行の前記画素毎で共通に用いたことを特徴とする固体撮像装置。

【請求項 8】 光電変換手段と、前記光電変換手段で発生した信号を電流に変換して出力する第 1 のトランジスタと、

所定の基準レベルを電流に変換して出力する第 2 のトランジスタと、

前記第 1 のトランジスタからの電流値と、前記第 2 のトランジスタからの電流値とを近づけるように前記第 1 のトランジスタ又は前記第 2 のトランジスタを制御する制御手段と、

前記第 1 のトランジスタからの電流値と、前記第 2 のトランジスタからの電流値とを比較する比較手段と、

前記比較手段により比較結果に基づいて前記光電変換手段で発生した信号に対応する信号を出力する出力手段と、を有することを特徴とする固体撮像装置。

【請求項 9】 請求項 8 に記載の固体撮像装置において、前記制御手段は、前記所定の基準レベルを前記比較結果に基づいて変化させ、前記比較手段は、前記第 1 のトランジスタからの電流値と、前記第 2 のトランジスタからの電流値が一致することを検出し、出力手段は、前記検出結果に基づき信号を出力することを特徴とする固体撮像装置。

【請求項 10】 請求項 8 に記載の固体撮像装置において、前記制御手段は、前記第 1 のトランジスタの出力のレベルを前記比較結果に基づいて変化させ、前記比較手段は、前記第 1 のトランジスタからの電流値と、前記第 2 のトランジスタからの電流値が一致することを検出し、出力手段は、前記検出結果に基づき信号を出力することを特徴とする固体撮像装置。

【請求項 11】 請求項 10 に記載の固体撮像装置において、前記第 1 のトランジスタの主電極を制御することにより、前記出力のレベルを制御することを特徴とする固体撮像装置。

【請求項 12】 請求項 1 に記載の固体撮像装置において、前記第 2 のトランジスタに与えられる所定の基準レベルはデジタル・アナログ変換手段によって与えられ、該デジタル・アナログ変換手段に与えられるデジタル値はカウンタよりなされ、該カウンタのカウント動作は、前記第 1 のトランジスタの出力電流と前記第 2 のトランジスタの出力電流との比較結果によって制御されることを特徴とする固体撮像装置。

【請求項 13】 請求項 1 に記載の固体撮像装置におい

て、前記第1のトランジスタと第2のトランジスタとの主電極に、それぞれが接続される電源配線の寄生抵抗の値より充分大きい値の抵抗を接続することを特徴とする固体撮像装置。

【請求項14】 請求項1に記載の固体撮像装置において、前記光電変換手段のリセットを行うリセットスイッチで第1のトランジスタの入力に与えられるリセット電圧を、該第1のトランジスタのしきい値電圧より大きい値が該第1のトランジスタの入力に与えられるよう制御することを特徴とする固体撮像装置。

【請求項15】 信号源からの信号を受ける第1の端子、該信号を増幅して出力する第2の端子、該第2の端子からの出力のレベルを制御する信号を受ける第3の端子を有してなる増幅素子と、前記増幅素子の前記第1の端子に信号が送られた状態で前記第2の端子から信号を読み出す読み出し手段と、所定の基準レベルと前記読み出し手段により読み出された信号とを比較し、その比較結果をもとに前記第3の端子に、前記第2の端子からの出力のレベルを制御する信号を出力する比較出力手段と、を備えた信号転送装置。

【請求項16】 請求項15に記載の信号転送装置において、前記所定の基準レベルは前記増幅素子の第1の端子側をリセットしたときに前記第2の端子から出力される信号のレベルであり、前記比較出力手段は該信号のレベルに前記読み出し手段により読み出された信号のレベルが近づくように前記第3の端子に信号を出力することを特徴とする信号転送装置。

【請求項17】 請求項15又は請求項16に記載の信号転送装置において、前記比較出力手段からの出力信号に基づいて、前記信号源からの出力データを得る信号転送装置。

【請求項18】 請求項15又は請求項16に記載の信号転送装置において、前記第2の端子からの出力信号に基づいて、前記信号源からの出力データを得る信号転送装置。

【請求項19】 請求項15に記載の信号転送装置において、前記増幅素子は絶縁ゲート型トランジスタであり、前記第3の端子はソース端子又はバックゲート端子であること特徴とする信号転送装置。

【請求項20】 光電変換手段と、該光電変換手段からの信号を受ける第1の端子、該信号を増幅して出力する第2の端子、該第2の端子からの出力のレベルを制御する制御信号を受ける第3の端子を有してなる増幅素子と、前記第3の端子に前記制御信号を送る制御信号源と、前記増幅素子から出力する信号を保存する保存手段と、前記保存手段に保存された、前記増幅手段が第1の状態の時の第1の出力と前記増幅手段が第2の状態の時の第2の出力との差分を信号として前記制御信号源にフィードバックする手段と、を有し、

前記制御信号源は前記差分の信号に基づいて前記第3の端子に前記制御信号を送る固体撮像装置。

【請求項21】 請求項20に記載の固体撮像装置において、

前記第1の状態は前記増幅素子の第1の端子側がリセットされた状態であり、前記第2の状態は前記増幅素子に前記光電変換手段からの信号が送られた状態である固体撮像装置。

【請求項22】 請求項20に記載の固体撮像装置において、

前記第1の状態は前記増幅素子に前記光電変換手段からの信号が送られた状態であり、前記第2の状態は前記増幅素子の第1の端子側がリセットされた状態である固体撮像装置。

【請求項23】 請求項20に記載の固体撮像装置において、

前記増幅素子は絶縁ゲート型トランジスタであり、前記光電変換手段からの信号は該絶縁ゲート型トランジスタのゲート端子で受け、前記制御信号源の出力は該絶縁ゲート型トランジスタのソース端子に入力されることを特徴とする固体撮像装置。

【請求項24】 請求項20に記載の固体撮像装置において、

前記制御信号源に差分の信号をフィードバックする前記手段は、第2の状態の時の出力と、保存手段で保存された第1の状態の時の出力とが等しくなるように前記制御信号源の出力を制御することを特徴とする固体撮像装置。

【請求項25】 請求項21又は請求項22に記載の固体撮像装置において、

前記リセットの状態のときの前記増幅素子の前記第2の端子からの出力値が、前記光電変換手段からの信号が送られた状態のときの前記増幅素子の前記第2の端子からの出力値よりも小さい固体撮像装置。

【請求項26】 請求項1から14、20から25のいずれかの請求項に記載の固体撮像装置と、前記固体撮像装置へ光を結像する光学系と、前記固体撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする固体撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は固体撮像装置、それを用いた固体撮像システム、及び信号転送装置に係わり、特に信号電荷を増幅する増幅型MOSセンサーの出力を取り出す駆動回路、増幅型固体撮像装置の出力電圧をA/D変換する変換回路に関するものである。

【0002】

【従来の技術および発明が解決しようとする課題】 図14に従来のMOS型固体撮像装置およびそのアナログ信号出力電圧をA/D変換するA/D変換器の構成を示

し、図15にその駆動タイミングを示す。単位セルは、フォトダイオード81、増幅トランジスタ82、選択トランジスタ83、リセットトランジスタ84から構成されている。

【0003】各セルに配置されたフォトダイオード81(81-1-1, 81-1-2, ...)に蓄積された信号は増幅トランジスタ82(82-1-1, 82-1-2, ...)によって電圧として、検出ノードである垂直信号線88(88-1, 88-2, ...)に読み出される。このとき、増幅トランジスタ82と負荷トランジスタ89(89-1, 89-2, ...)によりソースフォロウ回路が構成されているので、フォトダイオード81の信号に対応した電圧が垂直信号線88に読み出される。このような構成のMOS型固体撮像装置では増幅トランジスタ82のしきい値バラツキに対応した固定パターン雑音が発生する問題があるので、以下にその動作を示すノイズキャンセル回路が通常使用される。

【0004】選択信号線86-1にパルス501を印加することによって、増幅トランジスタ82-1-1, 82-1-2, ...の行を活性化させる。このとき、フォトダイオード81-1-1, 81-1-2, ...に蓄積された信号負荷に対応した出力信号電圧が垂直信号線88(88-1, 88-2, ...)に読み出される。セルを活性化しているパルスが“H”レベル(パルス501)の間にクランプトランジスタ91のゲートに接続される端子123に“H”電圧(パルス502)を印加し、垂直信号線95(95-1, 95-2, ...)を端子124に印加されるクランプ電圧にクランプする。

【0005】その後、リセット信号線87(87-1, 87-2, ...)に“H”の電圧(パルス503)を印加することで、フォトダイオード81(81-1-1, 81-1-2, ...)の電圧をリセットする。このリセット時の電圧は、垂直信号線88に現れるので、この電圧をクランプ容量90(90-1, 90-2, ...)で垂直信号線95(95-1, 95-2, ...)に伝達する。次いでサンプルーホールドトランジスタ92(92-1, 92-2, ...)をONすることにより、垂直信号線96(96-1, 96-2, ...)に信号を伝達する。そして水平シフトレジスタ119からの選択パルス505, 506, ...が水平選択トランジスタ94(94-1, 94-2, ...)に印加されることで選択された行の信号が水平信号線117へ読み出される。

【0006】この水平信号線117に読み出された信号電圧は出力アンプ120で増幅され、A/D変換器121に出力されてデジタル信号に変換される。

【0007】この場合、A/D変換器121は1つしかないので高速に変換動作を行う必要があり、消費電力、ノイズの点で問題が発生しやすく、また多画素のセンサー出力を交換する場合により高速性が求められるのでその設計が難しくなるという欠点もあった。

【0008】また図16に従来の電流出力型CMOSセンサーの概略回路図を示す。131はフォトダイオード、132はフォトダイオード131の信号電荷を受け信号電流に変換、出力する増幅トランジスタ、133はリセットスイッチ、134はセンサーセル選択スイッチ、135は水平選択スイッチ、136は固定バイアス電流源、137はセンサーセルからの信号電流を信号電圧に変換するための抵抗、138は出力アンプ、139は出力アンプ138のDC出力レベルを定めるバイアス電圧源である。

【0009】フォトダイオード131で発生した信号電荷は、増幅トランジスタ132のゲートに付随する容量によって電圧に変換され、その変換された電圧に応じて増幅トランジスタ132はドレイン信号電流を流そうとする。スイッチ134, 135がONすると電流源136の電流と、増幅トランジスタ132の出力電流の差分が抵抗137に流れ、出力アンプ138の出力端子に、その差分電流に応じた電圧が現われる。

【0010】図17に従来の別のタイプの電流出力型の増幅型MOS固体撮像素子、およびその出力を読み出す読み出し回路の構成を示す。1101は光電変換部で、ここで発生した信号電荷を転送トランジスタ1102を介して増幅トランジスタ1103のゲートへ移動させ、この信号電荷を信号電圧に変換してトランジスタ1103に入力する。増幅トランジスタ1103は、この信号電圧に応じた信号電流Ioutを画素選択トランジスタ1104を介して出力線に出力する。この出力された信号電流は差動増幅器1107の出力端子と反転入力端子間に接続された抵抗1106によって電圧に変換され、出力端子1109からバイアス電圧源1108の電圧を加えた形で出力される。しかしながら、これら図16、図17の従来例の場合、図18に示す増幅トランジスタ1103の入力電圧対出力電流の特性から解るように、出力電流は入力電圧の2乗に比例し、特にしきい値電圧以下の入力電圧に対しては指数関数特性となるため、線型性が悪い、また温度に大きく依存するという欠点があった。

【0011】さらに図19に、センサーセル内の増幅トランジスタ1103のもつ製造バラツキに起因するノイズを抑制する読み出し回路の従来例を示す。スイッチ1108、容量1110、トランジスタ1112で構成される電流サンプル/ホールド回路にて、増幅トランジスタ1103がリセット状態にあるときの出力電流を保持し、スイッチ1109、容量1111、トランジスタ1113で構成されるもう一方の電流サンプル/ホールド回路で増幅トランジスタ1103が信号電流を出力している時の電流を保持し、それぞれの保持された電流を電流-電圧変換回路1116, 1117で電圧に変換し、引き算回路1118の出力端子1119で最終的な出力が得られる。

【0012】この従来例ではノイズ抑制のために多くのトランジスタ、スイッチ、容量、増幅器を必要とし、その消費電力やチップ占有面積が大きいという問題がある。また図17の従来例を用いて光電変換部を多数並列に配置し、画素選択スイッチを介して共通信号線に出力する場合を図20に示す。光電変換素子201(201-1, 201-2, ..., 201-n)の出力電荷は増幅トランジスタ203(203-1, 203-2, ..., 203-n)のゲートで電圧に変換され、さらに増幅トランジスタ203によって電流に変換され、画素選択トランジスタ204(204-1, 204-2, ..., 204-n)を介して共通信号線209に出力され、増幅アンプ213と帰還抵抗212で再び電圧に変換され出力される。各画素間には高電位電源端子からの配線が有する寄生抵抗 $r_1 \sim r_n$ が増幅トランジスタのソース端子に付随し、電源端子から位置的に遠い画素ほど当然 $r_1 \sim r_n$ の和として抵抗は大きくなる。仮に各画素内の光電変換素子201の信号電荷が全く等しく各画素で発生し、増幅トランジスタ203のゲート端子で等しい信号電圧に変換されても、前記ソース端子に付随する電源配線寄生抵抗の値の違いで各画素の増幅トランジスタ203の出力電流は変化し、電源端子から遠い画素ほど小さくなるいわゆるシェーディングが発生する。この現象は増幅トランジスタの出力電流が大きくなるほど顕著になり、通常光電変換素子からの信号電荷量が大きい時に出力電流も増え、出力電圧の精度はこの寄生抵抗によって低下する。

【0013】また前記画素選択スイッチ4にはゲートドレイン間重なり容量と呼ばれる寄生容量206(206-1, 206-2, ..., 206-n)やドレイン-ウェル間PN接合容量という寄生容量207(207-1, 207-2, ..., 207-n)が存在し、多画素のセンサーではこの寄生容量の和は大きな値となるため、図20の例では増幅アンプ3の負荷容量として働き、スルーレートの低下やリングングなどの不安定現象を誘発するという問題があった。

【0014】上記従来例では、フォトダイオードの信号を電圧に変換、増幅して、ノイズキャンセルを行いながらA/D変換するまでの過程に多くのスイッチトランジスタやクランプ容量やサンプルホールド容量などの容量を必要としており、そのためのチップ占有面積も大きく、コストの上昇という問題が生じていた。また水平信号線に現れる、選択された垂直信号線からの信号電圧を1つのA/D変換器で変換する場合、その変換処理速度を非常に速くする必要があり、例えばHD(High Definition)対応センサーでは1画素の変換処理時間は数十nsと非常に短くする必要があり、高価な高速A/D変換器を必要とする問題があった。

【0015】さらに電流出力型CMOSセンサーでは、増幅トランジスタ2の出力電流( $I_0$ )とフォトダイオ

ード1からの電荷による信号電圧 $V_S$ の関係は、次式に示すような2乗特性となり、特に信号電圧が小さい領域では指数関数特性となるので、直線性が悪いという問題があった。

$$【0016】 I_0 = K \cdot W/L (V_S - V_{th})^2$$

Kは定数、W、Lはそれぞれ増幅トランジスタ2のゲート幅とゲート長、 $V_{th}$ はしきい値電圧である。

【0017】

【課題を解決するための手段および作用】本発明の固体撮像装置は、光電変換手段と、前記光電変換手段で発生した信号を電流に変換して出力する第1のトランジスタと、所定の基準レベルを電流に変換して出力する第2のトランジスタと、前記第1のトランジスタからの電流値と、前記第2のトランジスタからの電流値とを比較する比較手段と、前記比較手段により比較結果に基づいて前記光電変換手段で発生した信号に対応するデジタル信号を出力するアナログ・デジタル変換手段と、を有することを特徴とするものである。

【0018】また本発明の固体撮像装置は、光電変換手段と前記光電変換手段で発生した信号を電流に変換して出力する第1のトランジスタを含む画素を水平方向及び垂直方向に複数配列するとともに、垂直方向の1列毎の画素にそれぞれ接続された垂直出力線と、所定の基準レベルを電流に変換して出力する第2のトランジスタと、前記第1のトランジスタからの電流値と、前記第2のトランジスタからの電流値とを比較する比較手段と、前記比較手段により比較結果に基づいて前記光電変換手段で発生した信号に対応するデジタル信号を出力するアナログ・デジタル変換手段とを有し、前記第2のトランジスタ、前記比較手段及び前記アナログ・デジタル変換手段を1列の前記画素毎で共通に用いたことを特徴とする。

【0019】また本発明の固体撮像装置は、光電変換手段と、前記光電変換手段で発生した信号を電流に変換して出力する第1のトランジスタと、所定の基準レベルを電流に変換して出力する第2のトランジスタと、前記第1のトランジスタからの電流値と、前記第2のトランジスタからの電流値とを近づけるように前記第1のトランジスタ又は前記第2のトランジスタを制御する制御手段と、前記第1のトランジスタからの電流値と、前記第2のトランジスタからの電流値とを比較する比較手段と、前記比較手段により比較結果に基づいて前記光電変換手段で発生した信号に対応する信号を出力する出力手段と、を有することを特徴とする。

【0020】本発明は、光電変換手段からの信号を第1のトランジスタにより電流として読み出し、第2のトランジスタの電流と比較し、その比較結果に基づいて光電変換手段で発生した信号に対応するデジタル信号をアナログ・デジタル変換手段により出力するものである。アナログ・デジタル変換手段の構成の一例は、第2のトランジスタの制御電極と主電極との間(例えば絶縁ゲート



型トランジスタの場合はゲートソース間)にD/A変換手段で設定された電圧を印加し、主電極(例えばドレイン)に表われた電流をカレントミラー回路を用いて前記第1のトランジスタの出力信号電流と比較するものである。

【0021】またリセット状態の時の第1のトランジスタの出力電流を保存し、光電変換手段からの信号をA/D変換する時にはその保持された電流を差し引くことでいわゆる“ダーク補正”を行う。このような構成とすることで、第1のトランジスタのもつ制御電極—主電極間電圧と出力電流間の非線型性をキャンセルしながら非常に簡単な回路構成で、ライン毎のA/D変換が可能になる。

【0022】また本発明の固体撮像装置は光電変換手段と、該光電変換手段からの信号を受ける第1の端子、該信号を増幅して出力する第2の端子、該第2の端子からの出力のレベルを制御する制御信号を受ける第3の端子を有してなる増幅素子と、前記第3の端子に前記制御信号を送る制御信号源と、前記増幅素子から出力する信号を保存する保存手段と、前記保存手段に保存された、前記増幅手段が第1の状態の時の第1の出力と前記増幅手段が第2の状態の時の第2の出力との差分を信号として前記制御信号源にフィードバックする手段と、を有し、前記制御信号源は前記差分の信号に基づいて前記第3の端子に前記制御信号を送る固体撮像装置である。

【0023】本発明は、光電変換手段の信号電荷を第1の端子に受ける増幅素子の第3の端子の入力を、該増幅素子の第1の状態の時の出力自身によってサンプルーホールド回路等の保持手段を用い生成した第1の出力と、該増幅素子の第2の状態の時の第2の出力との差分の信号をフィードバックすることで制御するものである。このような単一の増幅素子の出力の比較という手段をとることで、増幅素子のもつ入力電圧—出力電流間の非線型性や、製造上のバラツキに起因する不完全なキャンセルによる出力信号電圧精度の悪化という問題が解決される。また増幅素子の第3の端子の入力を、前記フィードバックによって制御する場合、前記増幅素子の第1の状態の時の出力が充分小さい(つまり、配線抵抗による電圧降下分が無視できる)値に設定することで配線抵抗によるシェーディングは問題とならなくなる。

【0024】本発明の信号転送装置は、信号源からの信号を受ける第1の端子、該信号を増幅して出力する第2の端子、該第2の端子からの出力のレベルを制御する信号を受ける第3の端子を有してなる増幅素子と、前記増幅素子の前記第1の端子に信号が送られた状態で前記第2の端子から信号を読み出す読み出し手段と、所定の基準レベルと前記読み出し手段により読み出された信号とを比較し、その比較結果をもとに前記第3の端子に、前記第2の端子からの出力のレベルを制御する信号を出力する比較出力手段と、を備えた信号転送装置。

【0025】本発明の実施形態例を図21～図23を用いて説明する。なお、信号転送装置は固体撮像装置に好適に用いることができるものである。

【0026】図21は本発明の信号転送装置の一実施形態を示す概念図である。図21において、A1は信号源であり、電気信号として信号を出力するものであればいかなるものであってもよい。例えば、フォトダイオード等の光電変換素子、ホール素子、磁気抵抗効果素子等の磁電変換素子、電気信号を記憶する半導体メモリ等が挙げられる。A2はトランジスタ等の増幅素子であり、信号源A1と接続される第1の端子TM1、増幅された信号を出力する第2の端子TM2、比較・フィードバック手段A3からの信号を受ける第3の端子TM3を備えている。比較・フィードバック手段(比較出力手段となる)A3は、増幅素子A2から出力される第1の信号と第2の信号とを比較し、その比較をもとに前記第3の端子に、前記第2の端子からの出力のレベルを制御する信号を出力する。

【0027】例えば、増幅素子A2の第1の端子TM1側をリセットしたときの増幅素子A2の出力を第1の信号(この第1の信号は所定の基準レベルとなる。)、リセット後に信号源A1から出力される信号を増幅素子A2に入力したときの増幅素子A2の出力を第2の信号とする場合、比較・フィードバック手段A3は第1の信号と第2の信号とを比較し、第2の信号のレベルが前記第1の信号のレベルに近づくように第3の端子TM3に信号を送る。このとき第2の信号の信号レベルは、リセット後に信号が転送されたときのノイズ成分を含む信号レベルからノイズ成分のレベルである第1の信号のレベルまで変動することになる。この変動を増幅素子A2からの出力O1のレベル変化として検出することでノイズ成分が除去された信号を得ることが可能である。また、比較・フィードバック手段A3からの出力O2のレベル変化として検出してもノイズ成分が除去された信号を得ることが可能である。なお、信号源A1から出力される信号を増幅素子A2に入力したときの増幅素子A2の出力を第1の信号とし、その出力後にリセット信号を第2の信号として出力することもできる。このとき第2の信号の信号レベルは、ノイズ成分のレベルからリセット後に信号が転送されたときのノイズ成分を含む信号レベルまで変動することになる。

【0028】図22、図23は増幅素子を絶縁ゲート型トランジスタ等の電界効果型トランジスタとした場合の例を示すものであり、図22は絶縁ゲート型トランジスタのソース端子に比較・フィードバック手段A3からの信号を入力した場合、図23は絶縁ゲート型トランジスタのバックゲート端子に比較・フィードバック手段A3からの信号を入力した場合を示す。端子TM1はゲート端子、端子TM2はドレイン端子となる。

【0029】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

(第1の実施例) 図1は本発明の第1の実施例であり、増幅型MOS固体撮像素子(センサーセル)を行列に2次元的に配列したもので、ここでは簡略化のため3行3列としている。センサーセル内の構成はフォトダイオード1(1-1-1, 1-1-2, ...)、PMOS増幅トランジスタ2(2-1-1, 2-1-2, ...)、選択トランジスタ3(3-1-1, 3-1-2, ...)、リセットトランジスタ4(4-1-1, 4-1-2, ...)から成る。フォトダイオード1で発生する電荷は増幅トランジスタ2のゲート容量により電圧に変換され、増幅トランジスタ2のソース端子に印加された一定電圧とで決まるゲート-ソース間電圧に応じた電流が、垂直シフトレジスタ16によって垂直選択線14(14-1, 14-2, ...)が“H”レベルになり選択トランジスタ3がONしたとき垂直信号線8(8-1, 8-2, ...)へ供給される。

【0030】カウンタ12(12-1, 12-2, ...)からのデジタル値に応じてアナログ電圧を発生するD/A変換器11(11-1, 11-2, ...)の出力電圧を電圧-電流変換MOSトランジスタ9(9-1, 9-2, ...)のゲート-ソース端子間に印加する。初期状態の設定としてカウンタ12の全ビット出力は0、そのデジタル値を受けたD/A変換器11のアナログ出力電圧は、センサーセル内のリセットトランジスタ4(4-1-1, 4-1-2, ...)に印加されるリセット電圧にほぼ等しい電圧が出力されるよう設定されていると仮定する。

【0031】以下、図2のタイミングチャートも交えて動作を説明する。

【0032】垂直シフトレジスタ16によってリセット信号線15-1(パルス102)と垂直選択信号線14-1(パルス101)を“H”レベルにし、センサーセル内のリセットトランジスタ4(4-1-1, 4-1-2, ...)と選択トランジスタ3(3-1-1, 3-1-2, ...)をONさせ、フォトダイオード1をリセットした状態に応じたリセット電流を増幅トランジスタ2(2-1-1, 2-1-2, ...)から垂直信号線8(8-1, 8-2, ...)に出力する。その時、同時に端子17を“H”レベルにし(パルス103)、スイッチ5(5-1, 5-2, ...)をONさせ、前記リセット電流によって生じるトランジスタ7(7-1, 7-2, ...)のゲート-ソース間電圧を容量6(6-1, 6-2, ...)にサンプリングする。その後、スイッチ5はOFFするので容量6によって保持された電圧によってトランジスタ7はリセット電流を流し続ける。リセット信号線15-1が“L”レベルになりリセットトランジスタ4(4-1-1, 4-1-2, ...)がOFFし、フォトダイオード1に信号電荷が蓄積され、その電荷量に応じた電圧が

増幅トランジスタ2(2-1-1, 2-1-2, ...)のゲートに発生する。その時点で垂直選択線14-1を再び“H”レベルにし(パルス104)、選択トランジスタ3(3-1-1, 3-1-2, ...)をONにして増幅トランジスタ2の出力電流を垂直信号線8に出力する。この信号電流の大きさは前記リセット電流の大きさと異なり、仮にフォトダイオード1で発生する電荷が電子である場合は増幅トランジスタ2のゲート電圧はリセット時よりも低くなるので増幅トランジスタ2の信号出力電流はリセット電流よりも大きくなる。したがって垂直信号線8の電位は選択スイッチトランジスタ3(3-1-1, 3-1-2, ...)のソース電位まで上昇する(これを $V_H$ とする)。カウンタ12(12-1, 12-2, ...)を0からカウント動作させて、そのデジタル出力をD/A変換器11(11-1, 11-2, ...)に入力することで、D/A変換器11の出力電圧は徐々に下り(ここでは、入力デジタル値の増加に対しアナログ出力が減少するタイプを用いている)、電圧-電流変換トランジスタ9(9-1, 9-2, ...)のドレイン電流は増加していき、カレントミラー10(10-1, 10-2, ...)の出力電流も増加する。あるところでセンサーセル内の増幅トランジスタ2(2-1-1, 2-1-2, ...)の出力電流値よりも、リセット電流を流すトランジスタ7の出力電流と前記カレントミラー10の出力電流の合算した電流値が上回り、垂直信号線8の電位はある低電位(これを $V_L$ とする)に下がる。この垂直信号線8の電位変化を、比較しきい電圧を $V_H$ と $V_L$ の間にしたコンパレータなどでとらえ、そのタイミングでカウンタ12を停止させる。このときのカウンタ12のデジタルデータがフォトダイオード1に発生した電荷量に応じた値となるのでアナログ-デジタル変換が行われたことになる。

(第2の実施例) 図3は本発明の第2の実施例であり、センサーセル部とA/D変換に関わる部分だけを抜き出して図示している。21はフォトダイオード、22は増幅トランジスタ、23はリセットトランジスタ、24は垂直選択トランジスタ、25は垂直信号線の電位変化を検出するコンパレータ、26はD/A変換器27の出力電圧を電流に変換するトランジスタ、28はD/A変換器27にデジタルデータを供給するカウンタ、30はカレントミラー回路である。図1の第1の実施例からの変更点は、増幅トランジスタ22のソース端子と電圧-電流変換トランジスタ26のソース端子にそれぞれ抵抗31, 32を付加していることである。

【0033】これは固体撮像装置においてセンサーセルが多数並べられた場合、増幅トランジスタの電源配線には必ずある値の配線抵抗が付随し、その配線抵抗によって増幅トランジスタの出力電流が、フォトダイオードから同じ信号電荷を受けた場合でも変動してしまう問題が発生するため、その配線抵抗値より充分大きな値の抵抗



を増幅トランジスタのソース端子に付加することで影響を非常に小さくできるためである。そして電圧-電流変換トランジスタのソース端子にも、増幅トランジスタの出力電流との相対精度を向上させるため抵抗を挿入し、多くの場合同じ値の抵抗を用いることが望ましい。したがって、本実施例では上記のように増幅トランジスタ22のソース端子と電圧-電流変換トランジスタ26のソース端子にそれぞれ抵抗31、32を付加している。

【0034】さらに図3における増幅トランジスタ22のゲート-ソース間電圧( $V_{GS}$ )と出力ドレイン電流( $I_D$ )の関係は図4に示すような2乗特性であり、とくに $V_{GS}$ がしきい値電圧 $V_{th}$ 以下の領域では、サブスレッショルド領域と呼ばれ、特性は指数関数となるので、 $I_D$ と $V_{GS}$ の線型性は非常に悪くなるので、フォトダイオード1をリセットする電圧をある程度制御し、リセット時の増幅トランジスタの $V_{GS}$ が図4の $V_A$ のようなしきい値 $V_{th}$ を超える値となるようにし、サブスレッショルド領域に入らないようにすることが好ましい。

【0035】図1、図3はセンサーセル内の増幅トランジスタとしてPMOSTランジスタを用いた場合を示したが、反対の導電型のNMOSTランジスタを用いたものにも本発明を適用することができる。

【0036】その場合の図3に応じたものを図5に示す。図5において、導電型を除いては図3に示す部材と同じ部材なので、同一符号を付する。

【0037】以上説明したようにセンサーセル内の増幅トランジスタと同一の導電型のトランジスタを用い、さらにそのゲートの大きさも同一にすることによって、それぞれの出力電流を比較するという手段を用いれば、センサーセル内の増幅トランジスタのもつ、入力電圧と出力電流との間の非線型性はキャンセルされることが分かる。

(第3の実施例) 図6は本発明の第3の実施例を表わす図で、41は光電変換素子、42は従来例と同様、光電変換素子41の信号電荷を増幅トランジスタ43のゲートに転送する転送トランジスタ、44は画素選択トランジスタ、45はリセットトランジスタ、46は増幅トランジスタ43の出力電流をスイッチ47と保存用コンデンサ48によって電圧として保存し、その電圧を電流に変換しながら出力する電流源用トランジスタ、49は電流源トランジスタ46の出力電流と、画素選択トランジスタ44を介して出力される増幅トランジスタ43の出力電流との差分の信号を受け、その差信号に応じて電圧を増幅トランジスタ43のソース(主電極)端子へ出力する可変電圧源である。

【0038】上記の構成で、例として増幅トランジスタがリセットされた後、光電変換素子からの信号電荷による信号電圧を得る方法を図7のタイミングチャートを変えて説明する。ここで図6の各トランジスタ42、43、44、45はPMOSTランジスタとして、トラン

ジスタ46はNMOSTランジスタとして以降説明する。可変電圧源49はある一定の電圧 $V_1$ を出力しているものとする。端子 $\phi_R$ を“L”レベルとして(パルス101)リセットトランジスタ45をONさせ、増幅トランジスタ43のゲート端子を所定の電位にリセットする。その時、同時に端子 $\phi_X$ を“L”レベル(パルス402)にして選択トランジスタ44をONさせ、またスイッチ47もONさせる。増幅トランジスタ43のリセット時の出力電流は、トランジスタ46がゲートドレインが短絡することで発生するゲート電圧の形で保存用コンデンサ48に保存される。その後、トランジスタ45、44、スイッチ47はOFFし、光電変換素子に入力した光に応じた信号電荷を、端子 $\phi_I$ を“L”レベルにする(パルス403)ことで転送トランジスタ42がONし増幅トランジスタ43のゲート端子に転送する。この時のゲート電位はリセット時よりも低い電圧であったとすると増幅トランジスタ43の出力電流はそれに依りてリセット時よりも大きい値となる。一方、トランジスタ46は保存用コンデンサ48の電圧を受け、増幅トランジスタ43がリセットされた時の電流を出力している。端子 $\phi_X$ を“L”レベルにし(パルス404)再びトランジスタ44をONさせると出力ライン50は高電位 $V_H$ になる。

【0039】その後、可変電圧源49の出力電圧を徐々に下げてゆくとそれにともない増幅トランジスタ43の出力電流も減少し、ついにはトランジスタ46の出力電流と等しい値になる。このとき出力ライン50の電位は急速に低下するのでその電位変動を検出し、可変電圧源49の出力電圧の変化を停止する。この時の電圧を $V_2$ とすると前記 $V_1$ との差電圧( $V_1 - V_2$ )は、増幅トランジスタ43のゲート電位の、リセットされた時の電位と信号電荷が転送された時の電位の差分に等しい値となるので、この( $V_1 - V_2$ )を光電変換素子の信号電荷に応じた信号電圧として取り出せば良い。

【0040】図6の構成における可変電圧源をアナログ差動増幅回路を用いて実現する一実施例を図8に示す。

【0041】この例では、増幅トランジスタ43をリセット後に光電変換素子41の信号電荷を増幅トランジスタ43のゲートに転送した後に増幅トランジスタ43の出力電流と増幅トランジスタ43の出力電流の差電流を差動増幅アンプ49と容量51で積分し、前記差電流が0になったところで増幅アンプ49の出力電圧の変化は止まる。初期状態の設定は、増幅トランジスタ43をリセットする時に同時に容量51を、スイッチ50をONにし、スイッチ54を電圧源53側にしてリセットしておけば増幅トランジスタ43のソース電位は、電圧源53の電圧を初期値とし、パルス404と同期してスイッチ54を増幅アンプ49側にしたところから変化する。変化が停止した時の前記差電流が0という状態は、増幅トランジスタ43の出力電流が、自らがリセットした状

態のときの出力電流に等しい状態であり、それはすなわち増幅トランジスタ43のゲート電位がリセット状態から信号電荷転送に至る過程で生じた変化の量と、増幅アンプ49の出力電圧の変化の量が等しいことを意味する。

【0042】図9は、図6の構成における可変電圧源をアナログ差動増幅アンプを用いて実現する他の実施例であり、図8の場合とは異なり、積分回路は使用せず、単純な負帰環のループの中に増幅トランジスタ43、選択トランジスタ104を含めたものである。この例では、増幅トランジスタ43のリセット時にはスイッチ50を接地側にし、増幅アンプ49をコンパレータとして動作させある所定の高電位( $V_{HA}$ )が出力されるように設定する。電圧源52の電圧は、トランジスタ46のゲートドレイン間を短絡し、そこに増幅トランジスタ43がリセットされた時の出力電流が流れ込んだ時に発生するゲートソース間電圧程度に設定しておく精度上好ましい。増幅トランジスタ43に信号電荷が転送された後、パルス404と同期してスイッチ50をトランジスタ46の出力端子側にすると、増幅アンプ49はトランジスタ46の出力端子電圧が電圧源52の電圧に等しくなるように増幅トランジスタ43のソース電圧を制御する。この時増幅トランジスタ43の出力電流はトランジスタ46のそれに等しい。この制御の変化は前記負帰環ループの帯域で決まり、通常数 $\mu s$ オーダーの非常に速い変化となるので図8の例に比べ処理時間的に優れている。増幅アンプ49の出力電圧が $V_{LA}$ のときにトランジスタ46の出力端子電圧が電圧源52の電圧に等しくなるとすると求める光電変換素子の信号電荷に応じた信号電圧は( $V_{HA}-V_{LA}$ )となる。

【0043】さらに図10に他の実施例として、図6における可変電圧源をD/A変換器55で構成し、増幅トランジスタ43とトランジスタ46の差信号をコンパレータ57で検出し、D/A変換器55にデジタル信号を供給するカウンタ56の動作をコンパレータ57の出力で制御するものである。図6の動作と同様にリセットトランジスタ45をONさせ増幅トランジスタ43をリセットするときD/A変換器55はある高電位( $V_{HD}$ )を出力するように設定する。カウンタ56はリセットされ、カウント動作はしていない。増幅トランジスタ43のリセット時の出力電流を選択トランジスタ44を介してトランジスタ46に供給し、スイッチ47をONさせることで容量48にトランジスタ46が前記リセット電流を流すのに必要な電圧を保存する。その後、転送トランジスタ42をONし光電変換素子41の信号電荷を増幅トランジスタ43のゲートに転送する。再び選択トランジスタ44をONさせるとコンパレータ57の入力電位はある高電位( $V_H$ )に上昇する。この後カウンタ56を動作し、そのデジタル出力を増幅させ、それを受けるD/A変換器55の出力電圧は徐々に

減少(D/A変換器55はデジタル入力信号に対し負極性のアナログ出力電圧を発生すると仮定する。)する。ある時点で、増幅トランジスタ43の出力電流とトランジスタ46の出力電流が等しくなり、コンパレータ57の入力電圧は急速に減少するので、その変化を検出し、カウンタ56のカウント動作を停止させる。

【0044】このカウンタ56のカウント開始から停止までに変化したデジタル値は光電変換素子41の信号電荷に応じたものになるのでA/D変換が行われたことになる。

【0045】図11は図10の実施例を、光電変換部が3行3列の2次元に配列された場合に適用させたものである。光電変換素子61(61-1-1, 61-1-2, ...)、転送トランジスタ62(62-1-1, 62-1-2, ...)、増幅トランジスタ63(63-1-1, 63-1-2, ...)、画素選択トランジスタ64(64-1-1, 64-1-2, ...)、リセットトランジスタ65(65-1-1, 65-1-2, ...)、定電流トランジスタ66(66-1, 66-2, ...)、増幅トランジスタ63の出力電流によってトランジスタ66のゲートソース間に発生する電圧を取り込み、保存するためのスイッチ67(67-1, 67-2, ...)と容量68(68-1, 68-2, ...)、垂直信号線72(72-1, 72-2, ...)の電位変化を検出するコンパレータ71(71-1, 71-2, ...)、D/A変換器69(69-1, 69-2, ...)にデジタル信号を供給するカウンタ70(70-1, 70-2, ...)など構成は図5の場合と同様である。

【0046】一行目の画素の出力を得る場合、垂直シフトレジスタ77からの駆動線75-1を“L”レベルにしてリセット用トランジスタ65(65-1-1, 65-1-2, 65-1-3)をONさせ、その後駆動線74-1を“L”レベルにして画素選択トランジスタ64(64-1-1, 64-1-2, 64-1-3)をONさせて、リセット状態の増幅トランジスタ63(63-1-1, 63-1-2, 63-1-3)の出力電流を垂直信号線72(72-1, 72-2, 72-3)へ出力し、駆動線73を“H”レベルにしてスイッチ67(67-1, 67-2, 67-3)をONさせ、容量68(68-1, 68-2, 68-3)にトランジスタ66にリセット状態の出力電流を供給した時のゲートソース間に発生する電圧を保持する。

【0047】その後、図10の動作と同様にカウンタ70(70-1, 70-2, 70-3)のカウント動作を開始し、D/A変換器69(69-1, 69-2, 69-3)の出力電圧を減少させ、垂直信号線12の電位変動をコンパレータ71で検出し、カウンタ70の動作を停止させて、カウント開始から停止までのデジタル値の変化分をデジタル出力としてA/D変換が完了する。

【0048】図12は光電変換部内の増幅トランジスタや選択トランジスタ、転送トランジスタなどがNMOSトランジスタである場合の実施例で、図6の実施例などから容易に考え得るものである。図12において、導電型を除いては図6に示す部材と同じ部材なので、同一符号を付する。

【0049】以上の全ての実施例において、画素内の増幅トランジスタがリセットされた時のゲートソース間電圧をしきい値電圧よりわずかに上回る値になるようリセット用電圧源の電圧を設定することで、前記可変電圧源の電圧を制御して出力電圧を決定する際にも前記増幅トランジスタの出力電流は小さい状態になっているので前述の電源配線による寄生抵抗の影響は無視できる。

【0050】またこのように増幅トランジスタの出力電流が小さくなり、共通信号線の電位変化の速度が共通信号線に付随する寄生容量によって低下してしまう場合や、前述の増幅アンプの不安定性が生じる場合には図13に示すようなバッファアンプ210による、寄生容量の2端子のうち、共通信号線側でない方の端子の駆動が有効になる。210は共通信号線の電位を受け、AC的に同じ電位を発生するバッファアンプであり、208-1~208-nは図20のインバータ208(208-1, ..., 208-n)の構成を示しており、nMOSトランジスタ208のソース端子はバッファアンプ210の出力に接続されている。またバッファアンプ210の出力はトランジスタ204-1のバックゲートに接続されている。nMOSトランジスタ208-1のソース端子をバッファアンプ210の出力に接続することで、nMOSトランジスタ208-1がオンしたときにはトランジスタ204-1のゲートとソースとの間の寄生容量(ゲートとソースとの重なり容量等)の端子間電圧は一定となる。また、バッファアンプ10の出力をトランジスタ204-1のバックゲートに接続することでソース領域の接合容量による寄生容量の端子間電圧も一定となる。このように、前記寄生容量の端子間電圧は一定になり、電荷の流入がないため容量としては機能しない。

【0051】図24に撮像システム概略図を示す。同図に示すように、光学系2171、絞り2180を通して入射した画像光はCMOSセンサ2172上に結像する。CMOSセンサ2172上に配置されている画素アレーによって光情報は電気信号へと変換され、ノイズ除去されて出力される。その出力信号は信号処理回路2173によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系2174により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系2177により再生される。絞り2180、CMOSセンサ2172、信号処理回路2173はタイミング制御回路2175により制御され、光学系2171、タイ

ミング制御回路2175、記録系・通信系2174、再生系2177はシステムコントロール回路2176により制御される。

【0052】

【発明の効果】以上説明したように、本発明によれば、センサーの線型性の問題を大幅に改善しながら非常に簡単な回路構成で、センサー信号を、各垂直毎にA/D変換を行うことが可能となり、したがって変換に必要な時間は従来の1つのA/D変換器で変換する方法に比べ、垂直ライン数倍取ることが可能となる。

【0053】また本発明によれば、固体撮像装置におけるセンサーセル内の増幅トランジスタのもつ非線型性や、その非線型性をキャンセルするために使用される別のリファレンス用増幅トランジスタのもつ製造バラツキによる上記キャンセルが不十分になることの問題を解決し、前記非線型性や製造バラツキは一切出力される信号には影響を与えないため高精度の信号出力を得ることが可能である。

【0054】さらに従来トランジスタの製造上のバラツキに起因するノイズの低減のために必要としていた付加回路が、本発明では、非常に少ない素子数で同様の効果が得られるため消費電力やチップ占有面積の点で優れている。

【図面の簡単な説明】

【図1】本発明の固体撮像装置の第1の実施例を示す回路図である。

【図2】上記第1の実施例の固体撮像装置の動作を説明するタイミングチャートである。

【図3】本発明の固体撮像装置の第2の実施例を示す一部回路図である。

【図4】増幅トランジスタのゲートソース間電圧( $V_{GS}$ )と出力ドレイン電流( $I_D$ )の関係を示す特性図である。

【図5】図3の固体撮像装置の変形例を示す一部回路図である。

【図6】本発明の固体撮像装置の第3の実施例を示す回路図である。

【図7】上記第3の実施例の固体撮像装置の動作を説明するタイミングチャートである。

【図8】図6の構成における可変電圧源をアナログ差動増幅回路を用いて実現する一実施例を示す回路図である。

【図9】図6の構成における可変電圧源をアナログ差動増幅アンプを用いて実現する他の実施例を示す回路図である。

【図10】図6の構成を実現するさらに他の実施例を示す回路図である。

【図11】図10の実施例を、光電変換部が3行3列の2次元に配列された場合に適用させた場合の固体撮像装置の回路構成図である。

【図12】図6の固体撮像装置の変形例を示す回路図である。

【図13】本発明の固体撮像装置の変形例を示す回路図である。

【図14】従来のMOS型固体撮像装置およびそのアナログ信号出力電圧をA/D変換するA/D変換器の構成を示す回路図である。

【図15】図14の駆動タイミングを示すタイミングチャートである。

【図16】従来の電流出力型CMOSセンサーの概略回路図である。

【図17】従来の増幅型MOS固体撮像素子、およびその出力を読み出す読み出し回路の構成を示す回路図である。

【図18】増幅トランジスタの入力電圧対出力電流の特性を示す図である。

【図19】センサーセル内の増幅トランジスタのもつ製造バラツキに起因するノイズを抑制する読み出し回路の従来例を示す図である。

【図20】図17の従来例を用いて光電変換部を多数並列に配置し、画素選択スイッチを介して共通信号線に出力する場合の回路図である。

【図21】本発明の実施形態例を示す概念図である。

【図22】本発明の実施形態例を示す概念図である。

【図23】本発明の実施形態例を示す概念図である。

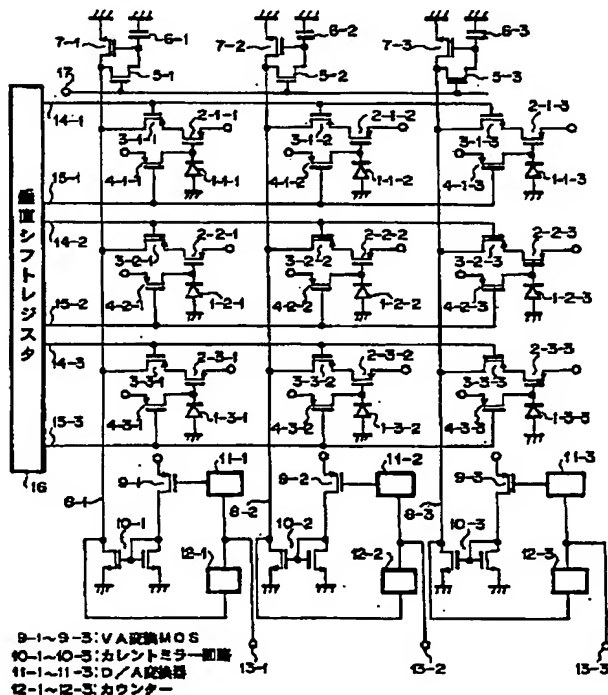
【図24】本発明の撮像システムの概略を示す図である。

る。

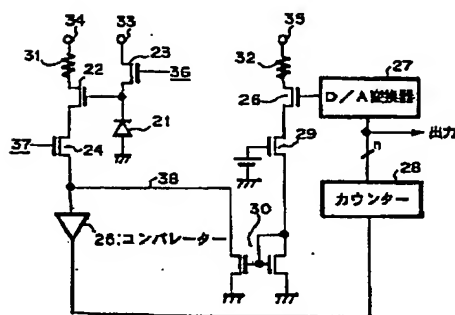
#### 【符号の説明】

- 1 フォトダイオード
- 2 PMOS増幅トランジスタ
- 3 選択トランジスタ
- 4 リセットトランジスタ
- 5 スイッチ
- 6 容量
- 7 トランジスタ
- 8 垂直信号線
- 9 電圧-電流変換トランジスタ
- 10 カレントミラー回路
- 11 D/A変換器
- 12 カウンター
- 14 垂直選択線
- 15 リセット信号線
- 16 垂直シフトレジスタ
- 41 光電変換素子
- 42 転送トランジスタ
- 43 増幅トランジスタ
- 44 画素選択トランジスタ
- 45 リセットトランジスタ
- 46 電流源用トランジスタ
- 47 スイッチ
- 48 保存用コンデンサー
- 49 可変電圧源

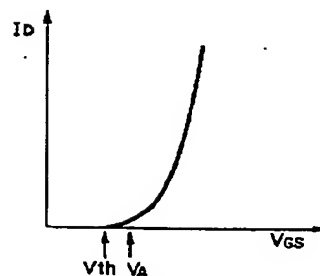
【図1】



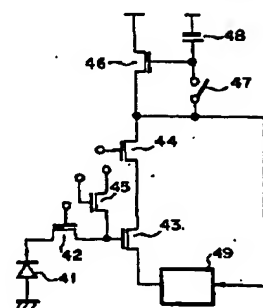
【図3】



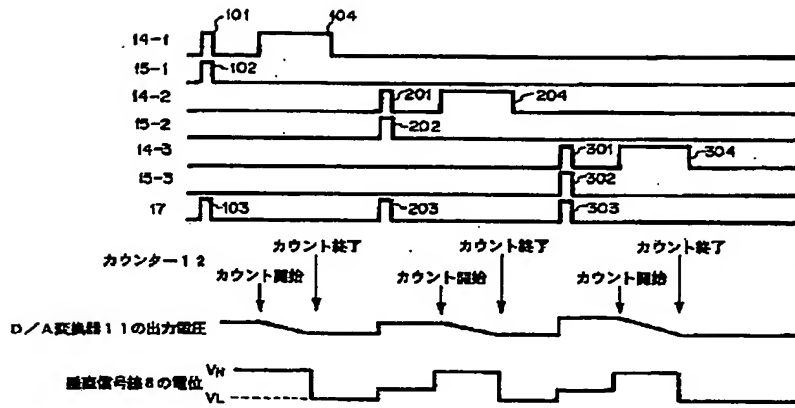
【図4】



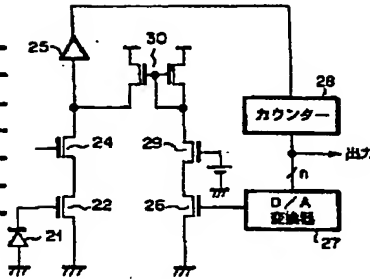
【図12】



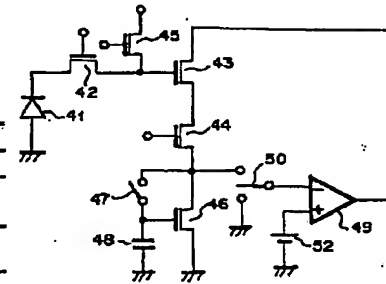
【図2】



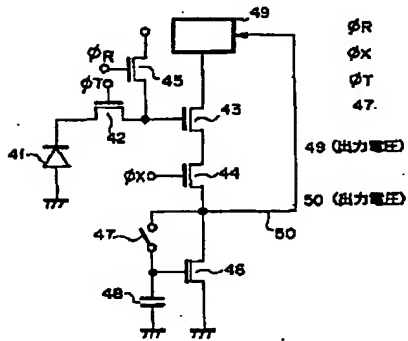
【図5】



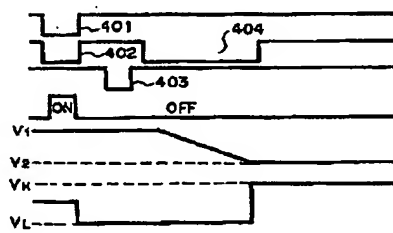
【図9】



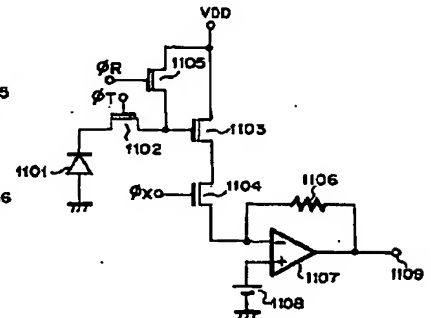
【図6】



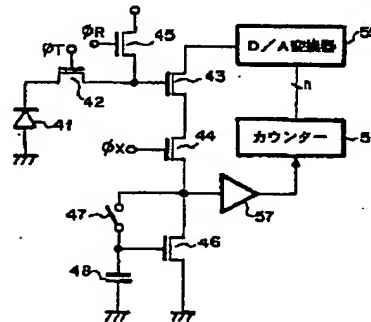
【図7】



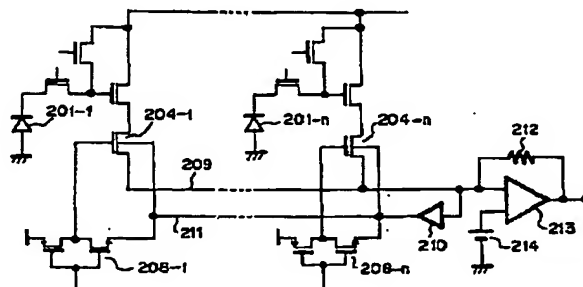
【図17】



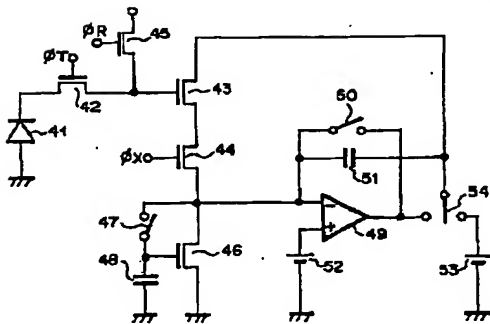
【図10】



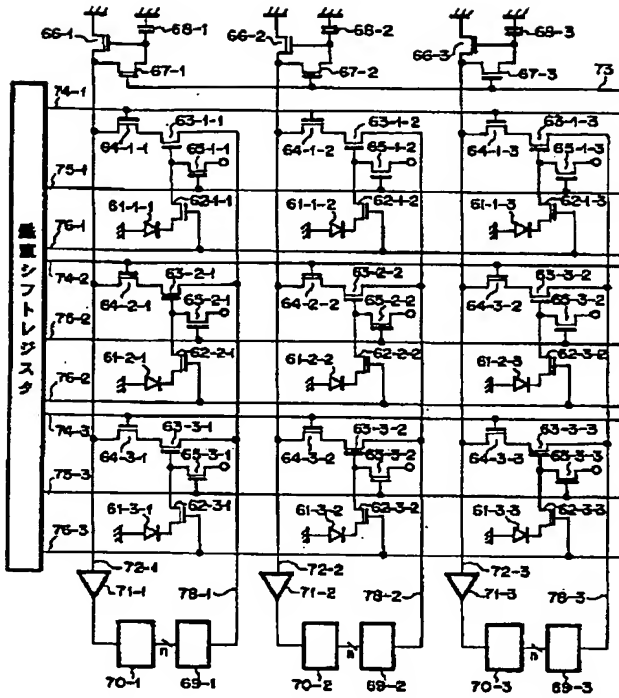
【図13】



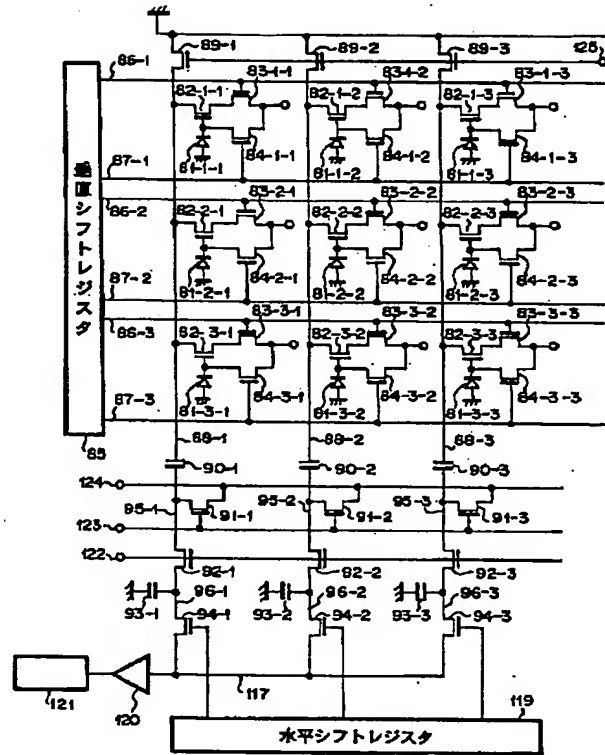
【図8】



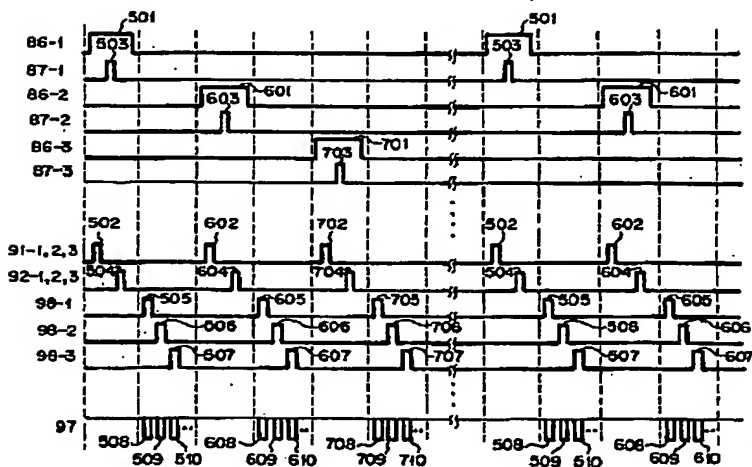
【図11】



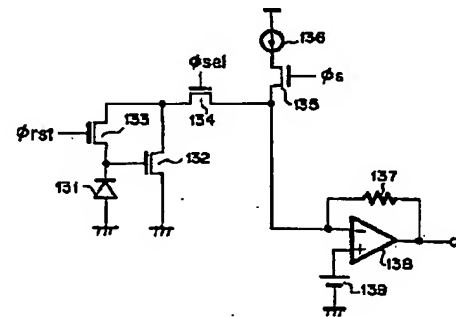
【図14】



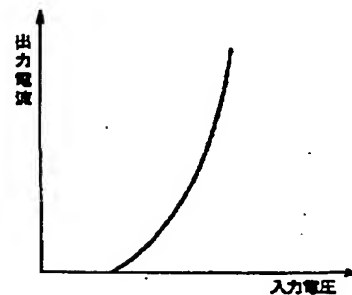
【図15】



【図16】

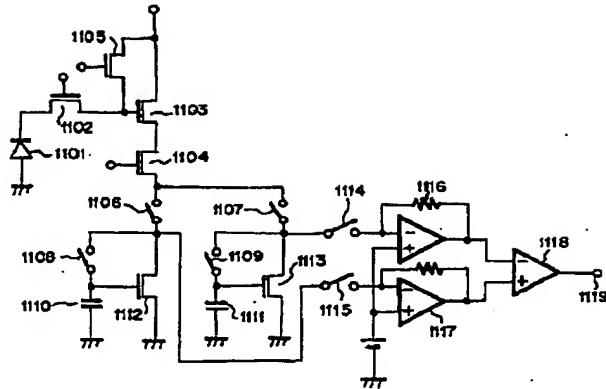


【図18】

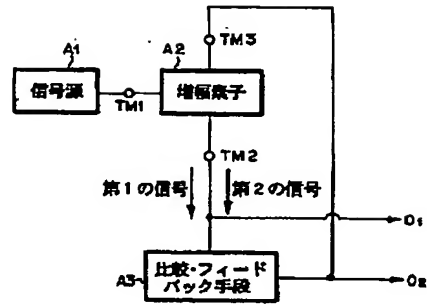




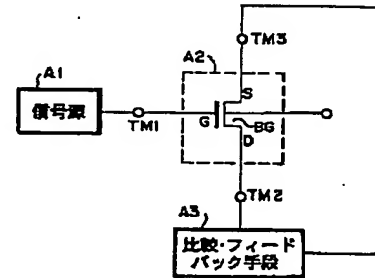
【図 19】



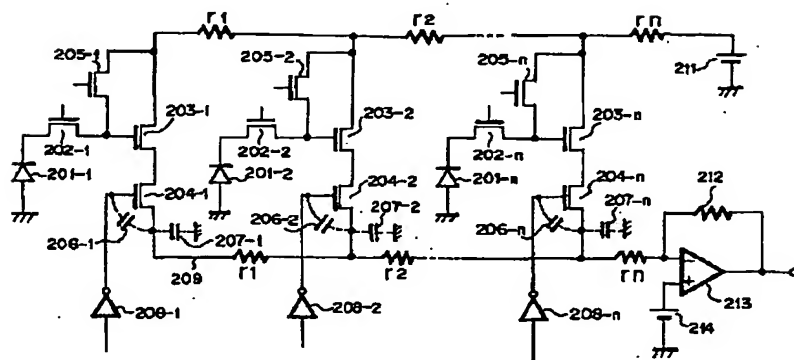
【図 21】



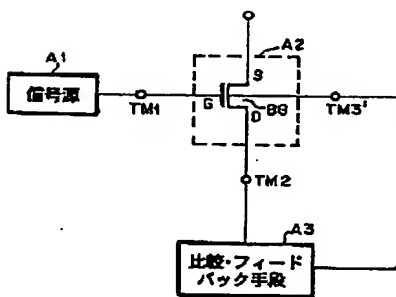
【図 22】



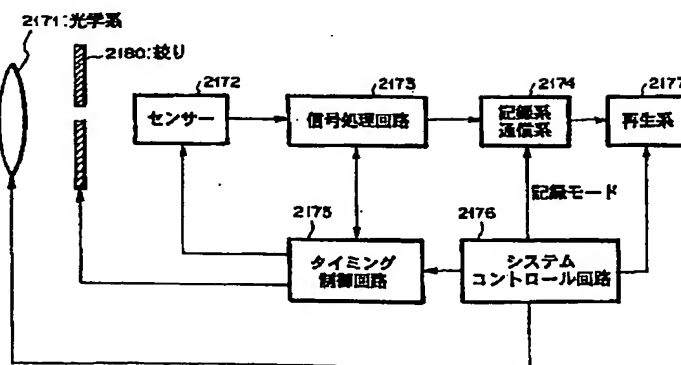
【図 20】



【図 23】



【図 24】



## フロントページの続き

Fターム(参考) 4M118 AA04 AA05 AA10 AB01 BA14  
CA02 DD10 DD12 FA06  
5C024 AX01 CX05 CX32 CY16 GX03  
GY37 GY38 GZ04 HX13 HX17  
HX23 HX29 HX35 HX40 HX44  
HX47  
5J022 AA02 AB07 AC02 BA04 BA06  
CE05 CE09 CF01 CF02 CF04  
CF05

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**